

# **Patents Index (CTPI) in English**

Boolean Search | Patent Number Search | Field search

## **478252 -- Patent Information**

Published Serial No.	478252		
Title	Multi-scale programmable array		
Patent type	B		
Date of Grant	2002/3/1		
Application Number	089128333		
Filing Date	2000/12/29		
IPC	H03K19/177 & G06F7/48		
Inventor	RUPP, CHARLE R.(US)		
Priority	Country	Application Number	Priority Date
		US19990475400	1999/12/30
Applicant	Name	Country	Individual/Company
	ADAPTIVE SILICON INC.	US	Company
Abstract	<p>A novel architecture for a multi-scale programmable logic array (MSA) to be used in the design of complex digital systems allows digital logic to be programmed using both small-scale blocks (also called gate level blocks) as well as medium scale blocks (also called register transfer level or RTL blocks). The MSA concept is based on a bit sliceable arithmetic logic unit (ALU). Each bit-slice may be programmed to perform a basic Boolean logic operation of may be programmed to contribute to higher-level functions that are further programmed by an ALU controller circuit. The ALU controller level in this new approach also allows the primitive logic operations computed at the bit-slice level to be combined to perform complex random logic operations. The data shifting capability of this new programmable logic architecture reduces the complexity of the programmable routing needed to implement shift operations including multiplier arrays. The new array also allows logic variables under program control to dynamically modify the micro-program of each ALU. This technique is called configuration overlay and simplifies the programming of complex arithmetic and random logic functions.</p>		

(ENGLISH TRANSLATION)

R. O. C LETTERS PATENT

INVENTION PATENT NO. : 152355

TITLE OF THE INVENTION: "MULTI-SCALE PROGRAMMABLE ARRAY"

PATENTEE(S): ADAPTIVE SILICON, INC.

INVENTOR(S):  
I. Charle' R. Rupp

DURATION TERM: FROM March 1, 2002 TO December 28, 2020

The Patentee(s) has/have hereby obtained the patent right to the above  
INVENTION patent according to the Patent Law.

COMMISSIONER OF INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS Sealed by  
REPUBLIC OF CHINA

Ming-Bang Chen  
Director

Dated this 10th day of July, 2002

(Note: the remaining annuities will become due for payment on  
February 28, 2003 and annually thereafter.)

Importance: As a courtesy service to our associates and clients, deadlines are controlled and reminders will be sent annually. However, this firm refrains from assuming any responsibility for missing calendar-related reminders, which occurs inadvertently, and requests that the control system for deadlines be maintained at your end as well.

# 中華民國專利證書

發明第一五二三五五號

發明名稱：多規模可規劃陣列

專利權人：適應矽公司

發明人：查勒R·盧伯

專利權期間：自中華民國九十年三月一日起至一〇九年十二月二十八日止

上開發明業經專利權人依專利法之規定取得專利權

經濟部智慧財產局

局長 陳明邦

中華民國 年 月 日



[11]公告編號: 478252

[44]中華民國 91年 (2002) 03月 01日

發明

[51] Int.CI<sup>07</sup>: H03K19/177

G06F7/48

全 18 頁

[54]名 稱: 多規模可規劃陣列

[21]申請案號: 089128333

[22]申請日期: 中華民國 89年 (2000) 12月 29日

[30]優先權: [31]09/475,400

[32]1999/12/30 [33]美國

[72]發明人:

查勒 R. 盧伯

美國

[71]申請人:

適應矽公司

美國

[74]代理人: 恆執群 先生

陳文郎 先生

1

2

[57]申請專利範圍:

1. 一種可規劃邏輯裝置, 包含:

一功能胞元, 其響應於一或更多輸入邏輯值及一功能向量來提供一結果邏輯值, 該功能胞元具有在第一模式中可操作來把該結果邏輯值提供作為該等輸入邏輯值之一算術組合、且在第一二模式中可操作來把該結果邏輯值提供作為該等輸入邏輯值之一邏輯組合之一算術邏輯電路, 該算術組合和該邏輯組合兩者係由該功能向量來決定。

2. 依據申請專利範圍第1項的可規劃邏輯裝置, 其中該等第一和第二模式係由一接收算術模式致能信號來界定, 該算術邏輯電路可操作來從該接收算術模式致能信號決定該經界定模式。

3. 依據申請專利範圍第1項的可規劃邏輯裝置, 其中該算術邏輯電路更響應於該等輸入邏輯值、該功能向量及一進位輸入來提供一進位輸出。

4. 依據申請專利範圍第1項的可規劃邏輯裝置, 其中該算術組合係一加法、一減法、一增量、及一減量運算中之一個。

5. 依據申請專利範圍第3項的可規劃邏輯裝置, 其中該算術組合係一加法、一減法、一增量、及一減量運算中之一個。

6. 依據申請專利範圍第1項的可規劃邏輯裝置, 其中該邏輯組合係一個 NOR、一個 XOR、一個 NAND、一個 AND、一個 XNOR、及一個 OR 運算中之一個。

15. 依據申請專利範圍第1項的可規劃邏輯裝置, 其中該功能胞元可操作來接收來自一組態記憶體的該功能向量。

8. 依據申請專利範圍第1項的可規劃邏輯裝置, 其中該功能胞元可操作來接收來自多個動態組態信號的該功能向量。

20.

●裝置，包含：

元，其響應於一或更多輸入及一功能向量來提供一結果選取。該功能胞元可操作來接收來自一組態記憶體和來自多個動態組態信號兩者的該功能向量。

10. 依據申請專利範圍第 9 項的可規劃邏輯裝置，其中該功能胞元包括可操作來響應於一經接收功能疊置致能信號而選擇性地接收該功能向量的一功能選擇方塊。

11. 依據申請專利範圍第10項的可規劃邏輯裝置，其中該功能選擇方塊更可操作來根據一經接收動態選擇信號而選擇性地接收來自多個所儲存功能向量中之該功能向量。

12. 依據申請專利範圍第 10 項的可規劃邏輯裝置，其更包含耦合至該功能胞元的一控制器方塊，該控制器方塊可操作來接收來自一泛在互連體的該等動態組態信號、且把該等動態組態信號和該功能疊置信號提供至該功能胞元。

13. 依據申請專利範圍第10項的可規劃邏輯裝置，其中該功能單元更包括接收來自該功能選擇方塊的該功能向量的一算術邏輯組，該算術邏輯電路可操作在—第一模式來把該結果邏輯值提供作為該等輸入邏輯值之一算術組合、且可操作在—第二模式來把該結果邏輯值提供作為該等輸入邏輯值之一邏輯組合，該算術組合和該邏輯組合兩者係由該功能向量來決定。

14. 一種可規劃邏輯裝置，包含：  
多個功能胞元，其響應於一或更多輸入邏輯值及一功能向量來提供結果邏輯值，該等功能胞元可操作來接收來自一組延遲體和一动態功能向量的多個個別經儲存功能向量；及  
一控制器方塊，其耦合至該等功能胞元。

元，且可操作來接收多個動態組態信號和把該動態功能向量共同提供到該等功能胞元。

15. 依據申請專利範圍圖第 14 項的可規劃邏輯裝置，其中該等功能胞元對應於在—多位元運算中的個別位元位置，該動態功能向量使該等多個功能胞元實施在該多位元運算中的個別位元式運算。

10. 16. 依據申請專利範圍第 15 項的可規劃邏輯裝置，其中該等功能胞元更響應於該等輸入邏輯值、該功能向量及一進位輸入來提供一進位輸出。

15. 17.依據申請專利範圍第15項的可規劃邏輯裝置，其中該多位元運算係一加法、一減法、一增量、及一減量運算中之一個。

18. 依據申請專利範圍第 16 項的可規劃邏輯裝置，其中該多位元運算係一加法、一減法、一增量、及一減量運算中之一個。

19. 依據申請專利範圍第15項的可規劃邏輯裝置，其中該多位元運算係一個 NOR、一個 XOR、一個 NAND、一個 AND、一個 XNOR、及一個 OR 運算中之一個。

20. 一種可規劃邏輯裝置，包含：  
多個功能胞元，其各等應於一或更多輸入邏輯值及一功能向量來提供一個別結果邏輯值；及  
一控制器方塊，其耦合至該等功能胞元且可操作來接收該等個別結果邏輯值 and 把它們邏輯地組合來產生一經擴展邏輯值。

35. 21. 依據申請專利範圍第 20 項的可規劃邏輯裝置，其中該控制器方塊更接收來自另外多個功能胞元的另一經擴展邏輯值，且可操作來把該另一經擴展邏輯值與該等個別結果邏輯值組合以產生該經擴展邏輯值。

22. 依據申請專利範圍第20項的可規劃邏輯裝置，其中該等功能胞元包括一移位和連結方塊，該移位和連結方塊可操作來選擇式地使該等功能胞元之一相關聯者輸出該相關聯功能胞元之該個別結果邏輯值、或輸出一相鄰功能胞元之該個別結果邏輯值。

23. 一種可規劃邏輯裝置，包含：

多個叢集方塊，經由一泛在互連體來連通，該等叢集方塊包括：

一控制器方塊，耦合於該泛在互連體而用來接收多個動態組態信號和用來響應地提供一算術模式信號；及  
多個功能胞元，其接收來自該控制器的該算術模式信號，且響應於一或更多輸入邏輯值及一功能向量來提供一個別結果邏輯值，各功能胞元具有在一第一模式中可操作來把該結果邏輯值提供作為該等輸入邏輯值之一算術組合、且在一第二模式中可操作來把該結果邏輯值提供作為該等輸入邏輯值之一邏輯組合之一算術邏輯電路，該算術組合和該邏輯組合兩者係由該功能向量來決定，該等第一和第二模式由該算術模式信號來決定。

24. 一種可規劃邏輯裝置，包含：

多個叢集方塊，經由一泛在互連體來連通，該等叢集方塊包括：

多個功能胞元，其響應於一或更多輸入邏輯值及一功能向量來提供結果邏輯值，該等功能胞元可操作來接收來自一組態記憶體和一動態功能向量的個別經儲存功能向量；及  
一控制器方塊，耦合於該等功能胞元，且可操作來接收多個動態組態信號和用來響應地將該動態功能向量共同提供至該等功能胞元。

圖式簡單說明：

第1圖說明使用在一傳統可規劃邏輯裝置中的可規劃邏輯元件；

第2圖說明在第1圖的傳統可規劃邏輯元件中四輸入詢查表被實施為輸入詢查表的方法；

第3圖說明依據本發明之原理的一

5. 多規模可規劃邏輯陣列(MSA)；

第4圖說明可使用來實施第3圖中說明的叢集方塊之一個的叢集方塊之一例；

第5圖說明可使用來實施第4圖中之AC方塊的一ALU控制器之例子；

10. 第6圖說明可使用來實施第5圖中之算術模式控制方塊的一算術模式控制器之例子；

第7圖說明可使用來實施第4圖中說明之功能胞元之一可規劃功能胞元之例子；

第8圖說明可使用來實施第7圖中說明之功能選擇方塊之一功能選擇方塊之例子；

20. 第9圖更詳細說明第7圖中的ALU電路之例子；

第10圖說明根據發明之一層面操作在“通用ALU模式”中的一叢集方塊；

第11圖說明根據發明之一層面的叢集方塊運算之“靜態算術模式”；

25. 第12圖說明根據發明之此例的叢集方塊運算之“開層次模式”；

第13圖說明依據發明之另一實施例可使用來實施第4圖中說明之功能胞元之一可規劃功能胞元之替換例子；

30. 第14圖說明依據發明之另一實施例可使用來實施第13圖中說明之功能選擇方塊之一功能選擇方塊之替換例子；

第15圖說明根據發明之另一層面的叢集方塊運算之“靜態算術模式”；

35. 第16圖說明根據發明之另一例的叢集方塊運算之“開層次模式”；

第17圖說明根據發明之另一實施例可實施第4圖中說明之功能胞元的一功能胞元之進一步替換例子；

圖說明可實施第17圖中說明之  
連結方塊之一移位和連結方塊；  
第19圖說明根據發明之另一實施例  
實施第4圖中的AC方塊之一AC方塊  
的替換例子；

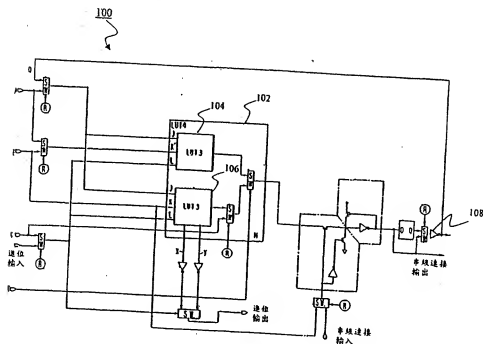
第20圖說明可實施第19圖中說明之  
算術模式控制方塊之一替換算術模式控  
制方塊；

第21圖說明可實施第19圖中說明之  
移位控制方塊之一移位控制方塊；

第22圖說明依據本發明之另一實施  
例的叢集方塊運算之“擴展的邏輯模  
式”；及

第23圖說明依據本發明之另一實施  
例的叢集方塊運算之“連結的胞元模  
式”。

5.

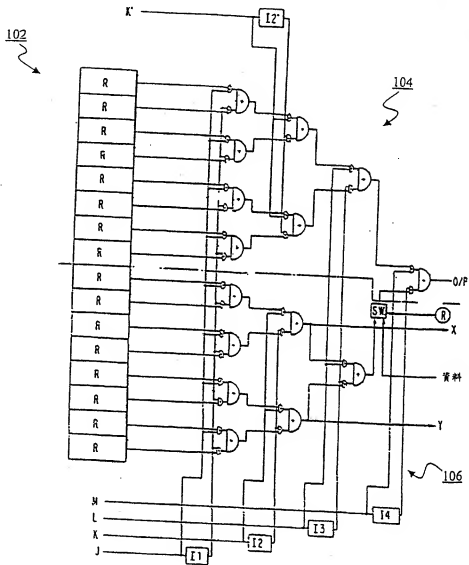


第1圖

(5)

7

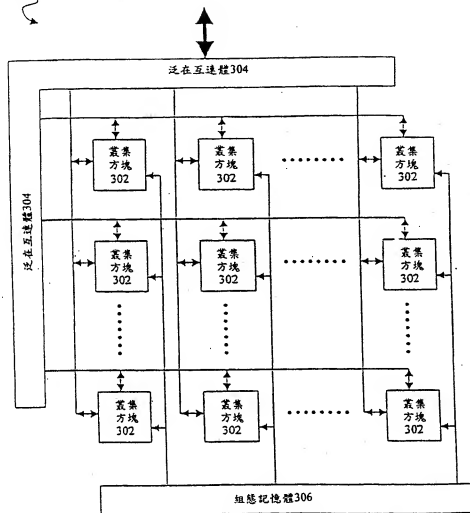
圖說明可實施第17圖中該  
進結方塊的一移位和連結方  
第19圖說明根據發明之另一實



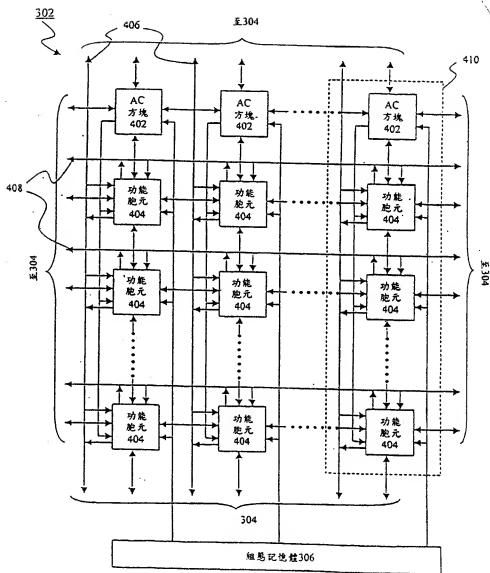
第 2 圖



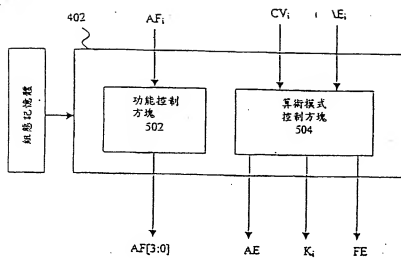
300



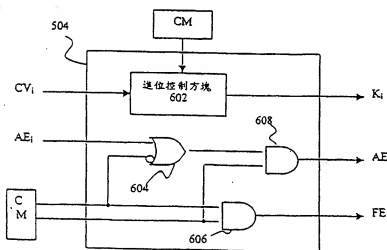
第 3 圖



第 4 圖

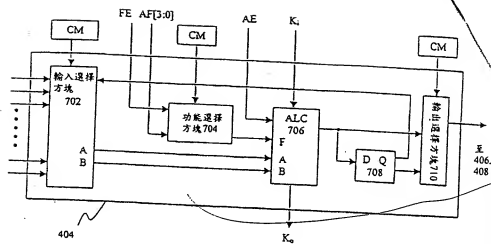


第 5 圖

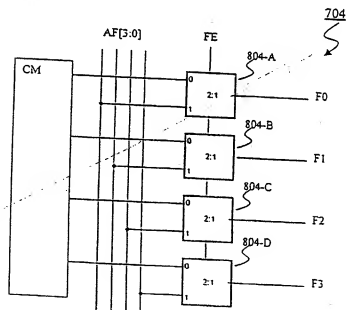


第 6 圖

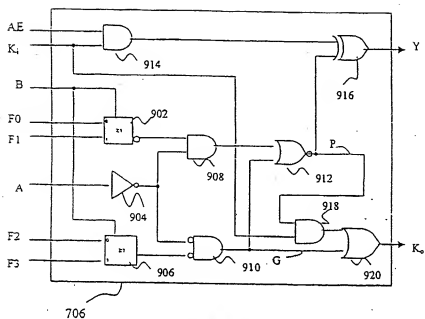
(9)



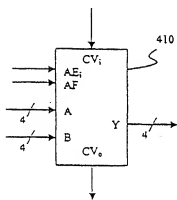
第 7 圖



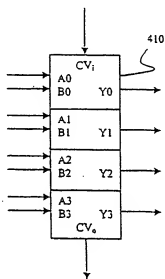
第 8 圖



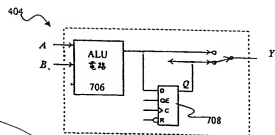
第 9 圖



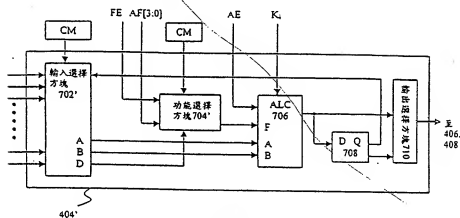
第 10 圖



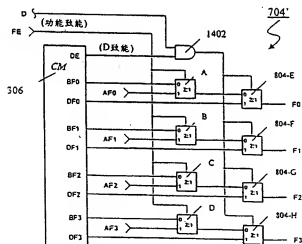
第 11 圖



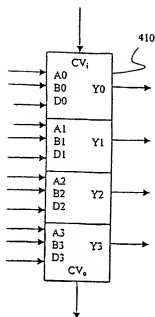
第 12 圖



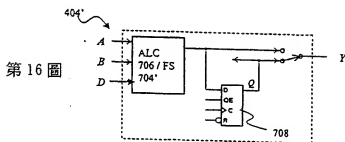
第 13 圖



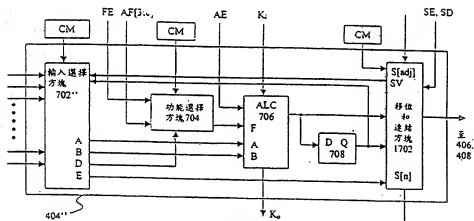
第 14 圖



第 15 圖

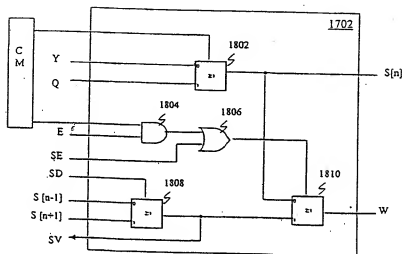


第 16 圖

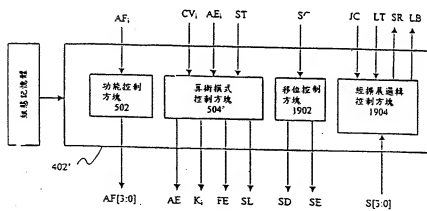


第 17 圖

(13)



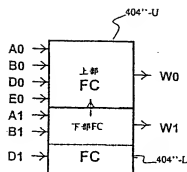
第 18 圖



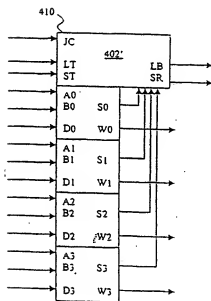
第 19 圖







第 23 圖



第 22 圖